

特許協力条約に基づいて公開された国際出願

Figure 1 is a block diagram of a system architecture. At the top, a CPU (101) is connected to an Instruction TLB (102), a Shared TLB (104), a Data Cache Memory (106), and an External Bus Controller (108). The CPU is also connected to a System Bus (100). The Instruction TLB (102) is connected to the Instruction Cache Memory (103). The Shared TLB (104) is connected to the Data Cache Memory (106). The Data Cache Memory (106) is connected to the External Bus Controller (108). The External Bus Controller (108) is connected to the System Bus (100). The System Bus (100) is connected to ROM (107), SRAM (108), PCMCIA (109), and SDRAM (110).

(57)要約

CPUから出力される第1のアドレスを第2のアドレスへと変換するアドレス変換回路の中に、外部デバイス、特にPCMCIAインタフェースを有するデバイスを制御するための制御情報を、第1或いは第2のアドレスに対応付けて記憶させているデータ処理システム及びデータ処理装置。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AL アルバニア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レソト	SL シェラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴ
BE ベルギー	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BF ブルギナ・ファソ	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダッド・トバゴ
BR ブラジル	HR クロアチア	ML マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MN モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴ	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジェール	YU ユーゴスラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZA 南アフリカ共和国
CM カメルーン	IT イタリア	NO ノールウェー	ZW ジンバブエ
CN 中国	JP 日本	NZ ニュー・ジーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェッコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	

## 明 細 書

## データ処理装置およびデータ処理システム

## 5 技術分野

本発明はマイクロプロセッサやマイクロコンピュータ等のデータ処理装置に関するものであり、特に、接続する外部デバイスを効率よく制御するデータ処理装置に関する。

## 10 背景技術

マイクロプロセッサ等のデータ処理装置においては、周波数の向上により性能の向上を目指しているが、現実にはデータ処理装置を繋ぐシステムバスの周波数の向上が追いつかないため思うように性能が向上していないのが現状である。またシステムバスに繋がる各種外部デバイスの種類も多種多様になってきているため制御が複雑になり、これも性能が向上しない理由の1つとなっている。

このシステムバスに繋がる外部デバイスインタフェースの1つとして、昨今注目されている物として PCMCIA インタフェースが挙げられる。ここで、PCMCIA とは、I C メモリカードの標準化団体である PCMCIA (PC Memory Card International Association ) により、標準化された I C メモリカードなどのインタフェース仕様であり、モデムや LAN などの入出力仕様にも適用されている。

PCMCIA においては、小さな領域ごとにウェイトやバス幅の設定がダイナミックに変更可能であるため、システムに最適な構成を取りやすい。ただし、従来のデータ処理装置においては、PCMCIA のウェイトやバス幅の設定をダイナミックに切り替えられる機能に十分に対応し切れていな

いのが実状である。

一方、従来高性能なマイクロプロセッサにおいては、外部デバイスをアクセスする仮想アドレスをアドレス変換バッファ（TLB）を用いて外部メモリアドレスに変換する技術が採用されている。TLBはこのアドレス  
5 変換情報を使って外部メモリアドレスを生成するだけでなく、アクセス権の判定をしたり、内蔵するキャッシュメモリのキャッシュアクセスモードを選択することもある。アクセス権とは、データ処理装置に内蔵されたモードレジスタにより決定された内部モードによりロード・ストア別に許可するアクセスを規定するものであり、このアクセス権に違反す  
10 るアクセスを起こすとデータ処理装置は例外を発生させる。キャッシュのアクセスモードにはライトスルーアクセスやコピーバックアクセスなどの種類があり、このアクセスモードをアドレス変換の際に使用する TLB ごとに切り替える方法である。従来のデータ処理装置における TLB は、このようにアドレス変換を行い、またアドレス変換の際にデータ処理装  
15 置内の制御を行うものであるが、データ処理装置と接続される外部デバイスの制御を考慮した TLB を採用することは、従来は全く意識すらされていなかった。

上述のように、従来のデータ処理装置においては、データ処理装置にシステムバスを介して PCMCIA 等のインタフェースを有する外部デバイ  
20 スを接続する場合においても、PCMCIA へのアクセスにおけるバス幅やウェイトは固定的に扱うことしかできず、PCMCIA のウェイトやバス幅の設定をダイナミックに切り替えられる機能に十分に対応できないという問題があった。PCMCIA へのアクセスにおけるバス幅やウェイトなどの制御情報を、たとえデータ処理装置内の制御レジスタ等に保持する構成をと  
25 ったとしても、これらのバス幅やウェイトなどの設定を変更する必要が生じた場合は、その都度制御レジスタなどの設定を変更する必要が生じ

る。これではいくつかの設定を同時に使用したい場合に性能が向上しない。

本発明の目的は、アクセス方法をダイナミックに変更できる PCMCIA 等のインタフェースを有する外部デバイスに対して、実動作中にこの変更機能  
5 機能を容易に使用することを可能とするデータ処理装置およびデータ処理システムを提供することである。

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

#### 発明の開示

##### (手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば以下の通りである。

すなわち、上記目的を達成するために、本願発明は、データ処理装置  
15 内に設けられた TLB に、PCMCIA などのインタフェースを有する外部デバイスのアクセス方法等を指定する外部デバイス制御情報をアドレス変換情報ごとに格納しておき、外部デバイスのアクセスに用いる論理アドレスを TLB を介して変換する際に、当該制御情報を TLB から取り出せるよう  
20 うにする。制御情報は仮想アドレスを変換する際に TLB から同時に読み出される。仮想アドレスを TLB を用いて変換しない場合は、内蔵レジスタ等に保持されている外部デバイス制御のための既定値を用いる回路を内蔵する。

##### (効果)

25 本発明によれば、PCMCIA などのインタフェースを有する外部デバイスをアクセスする方法を TLB のアドレス変換情報の一部として、登録してお

- くことにより、TLBを介して、アドレス変換を行う際に、仮想アドレスから物理アドレスに変換されたページ単位毎に外部デバイスのアクセス方法を指定した情報を用いることが可能となる。また仮想アドレスからTLBのアドレス変換情報を用いて、アドレス変換を行わない場合でも内蔵レジスタの既定値を使用することで、外部デバイスのアクセス方法を指定可能となる。

#### 図面の簡単な説明

- 第1図は、本発明の一実施例であるデータ処理装置と外部デバイスを接続したデータ処理装置の構成を表す図である。第2図は、本発明の一実施例であるデータ処理装置に設けられた命令TLBの構成の例を表す図である。第3図は、本発明の一実施例であるデータ処理装置に設けられたデータTLBの構成の例を表す図である。第4図は、本発明の一実施例であるデータ処理装置に設けられた外部バスコントローラの構成の例を表す図である。第5図は、本発明の一実施例であるデータ処理装置に設けられた外部バスコントローラの構成の例を表す図である。第6図は、PCMCIAアクセスの処理フローを示す図である。それぞれの図面で使用されている符号は次の通りである。第7図は、本発明の一実施例である第1図のPCMCIAインタフェースにICメモリカードを接続させた図である。
- 尚、図面に記載された番号は以下に対応する。100…データ処理装置、101…CPU、102…命令TLB、103…命令キャッシュ、104…データTLB、105…データキャッシュ、106…外部バスコントローラ、107…ROM、108…SRAM、109…PCMCIA、110…SDRAM、137…命令LTB変換情報／データTLB変換情報セレクト、200…命令TLBアドレス変換バッファ、201…命令TLB比較器、202…命令TLBアドレス生成回路、203…命令TLB仮想アドレス／物理アドレスセレクト

タ、204…命令 TLB アドレスデコーダ、205…命令 TLB 制御情報セ  
レクタ、206…命令 TLB 制御情報格納レジスタ、300…データ TLB  
アドレス変換バッファ、301…データ TLB 比較器、302…データ TLB  
アドレス生成回路、303…データ TLB 仮想アドレス／物理アドレスセ  
レクタ、304…データ TLB アドレスデコーダ、305…データ TLB 制御  
5 情報セクタ、306…データ TLB 制御情報格納レジスタ、400…タイ  
ミングコントロール制御回路、401…バス幅・メモリ属性判定回路、  
500…タイミングコントロール制御情報格納レジスタ、501…タイ  
ミングコントロール制御情報格納レジスタ。

10

発明を実施するための最良の形態

第1図に、本発明の一実施例であるデータ処理装置がシステムバスを介して外部デバイスと接続されているデータ処理システムの構成を示す。

データ処理装置(100)は、主にCPU(101)と命令TLB(102)、  
15 命令キャッシュ(103)、データTLB(104)、データキャッシュ  
(105)、外部バスコントローラ(106)から構成され、データ処  
理装置(100)は、システムバスを介して、外部デバイスとして、ROM  
(107)、SRAM(108)、PCMCIA(109)、SDRAM(110)が接  
続されている。

20 ここで、データ処理装置(100)に接続される外部デバイスは、特  
にこれらに限定されるものではない。第1図では、主として本発明に関  
わる機能のみを図に示してある。

命令キャッシュ(103)と命令TLB(102)は、中央演算装置CPU  
(101)から命令フェッチ要求を受ける。命令フェッチ要求を受けた、  
25 命令TLB(102)は、CPU(101)から信号線(120)に出力され  
た命令フェッチアドレスを受け取り、アドレス変換を行い、信号線(1

22) を介して、その変換されたアドレスを命令キャッシュ (103) に送る。それと同時に PCMCIA (109) への制御情報も信号線 (124、125) から出力され、セクタ (137) でセレクトされて、信号線 (138、139) を介して外部バスコントローラ (106) へ送られる。  
5

ここで、信号線 (124) は、PCMCIA アクセスのためのタイミングコントロール信号、信号線 (125) は、PCMCIA アクセスのためのメモリ属性情報とするが、特に PCMCIA アクセスのための制御情報、またはその他の外部デバイスのアクセス方法を指定する情報であれば、これらに限定しない。  
10

命令 TLB (102) がアドレス変換を失敗したときは、信号線 (121) を介して、例外信号を CPU (101) へ送る。

命令キャッシュ (103) は、命令 TLB (102) により変換されたアドレスを信号線 (122) を介して受け取り、そのアドレスを用いて、キャッシュメモリから命令コードを読み出し、信号線 (123) を介して、その命令コードを CPU (101) へ返す。  
15

キャッシュメモリ内に命令が存在しない場合は、外部デバイスから命令を読み出す必要が生じる。この場合、命令 TLB (102) により変換されたアドレスを信号線 (126) に乗せ、アドレスはアドレスバスを介して外部バスコントローラ (106) へ送られる。  
20

このアドレスを受け取った外部バスコントローラ (106) は、そのアドレスが、PCMCIA (109) へのアクセスである場合、信号線 (138、139) の PCMCIA の制御情報を用いて、PCMCIA (109) のアクセス方法を判別して、PCMCIA をアクセスし、キャッシュメモリへ命令を返す。その他の外部メモリとして図に示す ROM (107)、SRAM (108)、SDRAM (110) 何れかのアクセスの場合は、その外部メモリからシステ  
25



ムバスを介して命令を読み取り、信号線（１２７）に乗せ、その命令をキャッシュメモリへ返す。

命令コードを受け取ったCPU（１０１）は、そのコードを解読して、命令を実行する。

- 5     その命令が外部デバイスへのリード／ライトアクセスを行う場合、リードアクセスを用いて説明すると、CPU（１０１）は、データTLB（１０４）へ信号線（１２９）を介して、外部デバイスをアクセスするための仮想アドレスを送る。その仮想アドレスを受け取ったデータTLB（１０４）は、アドレス変換を行い、信号線（１３３）を介して、その変換された物理アドレスをデータキャッシュ（１０５）に送る。それと同時にPCMCIA（１０９）の制御情報も外部バスコントローラへ信号線（１３０、  
10     １３１）からセクタ（１３７）によりセレクトされ、信号線（１３８、１３９）を介して送られる。命令TLB（１０２）と同様にアドレス変換に失敗した時は、信号線（１３２）を介して、例外信号をCPU（１０１）  
15     へ送る。データキャッシュ（１０５）は、データTLB（１０４）により変換された物理アドレスを用いて、データキャッシュメモリからデータを読み出し、CPU（１０１）へ返す。キャッシュメモリ内にデータが存在しなかった場合は、外部デバイスからデータを読み出す必要が生じる。この場合、データTLB（１０４）により変換されたアドレスを信号線（  
20     １３３）に乗せ、アドレスバスを介して、外部バスコントローラ（１０６）へ送られる。

- このアドレスを受け取った外部バスコントローラ（１０６）は、そのアドレスが、PCMCIAアクセスである場合は、信号線（１３８、１３９）のPCMCIAの制御情報を用いて、PCMCIA（１０９）のアクセス方法を判別  
25     して、PCMCIAをアクセスし、キャッシュメモリへデータを返し、データ線（１３６）を介して、CPU（１０１）へそのデータを返す。その他の外

部メモリ、ROM（１０７）、SRAM（１０８）、SDRAM（１１０）の何れかのアクセスである場合は、その外部メモリからシステムバスを介してデータを読み取り、信号線（１３５）に乗せ、キャッシュメモリへデータを返す。

- ５ 外部デバイスへのリードアクセスを用いて、説明したが、ライトアクセスの場合は、CPU（１０１）の命令実行から外部デバイスをアクセスするまでの一連の動作に違いはなく、外部デバイスへデータを書き込む。

また、キャッシュのアクセスモードにより、キャッシュにのみデータを書き込み、外部デバイスへの書き込みを行わない場合もある。

- １０ 高性能なマイクロプロセッサにおいては外部デバイスをアクセスする仮想アドレスが命令 TLB（１０２）、またはデータ TLB（１０４）を用いて外部メモリアドレスに変換されるとき、変換前の仮想アドレスは３２ビットや６４ビットで構成され、変換後の外部メモリアドレスはデータ処理装置がサポートする外部アドレス空間に収まるように変換される。
- １５ 通常このアドレス空間は２８ビット～３２ビットが一般的であるが、本発明は特にこれに限定されない。TLBにより変換される仮想アドレス空間の範囲は１Ｋバイト、４Ｋバイト、６４Ｋバイト、１Ｍバイトなどデータ処理装置によっても異なるがこのような領域毎に変換出来る構成になっている。この変換の情報は TLB に複数個登録されており、対応する
- ２０ アドレス変換情報を使ってデータ処理装置が自動的にアドレス変換を行う。TLB に登録できるアドレス変換情報の数はデータ処理装置によっても異なるが６４～２５６の範囲が一般的である。対応するアドレス変換情報が TLB に存在しない場合、データ処理装置は一般的に例外を発生するが、ソフトウェアが例外処理ルーチンの中で、再度アドレス変換情報を
- ２５ TLB に登録する。またこの処理をデータ処理装置が自動的に行う場合もある。

第2図は、第1図の命令TLB(102)の基本構成の一例を示したものである。

本実施例では、VPN、V、SZ、SA、TCのアドレス変換情報を持った4つのアドレス変換バッファからなる命令TLB(102)を用いて説明する。

- 5 命令TLB(102)は、信号線(120)からの命令フェッチアドレスを変換するアドレス変換バッファ(200)のおののにおにアドレス変換するための情報を有し、そのアドレス変換バッファへの書き込みは、CPUから書き込み位置の指定された信号が信号線(120)から入力され、また、その書き込みデータを信号線(128)より、入力される。
- 10 ここで、アドレス変換バッファ(200)に書き込む情報VPNは、外部メモリ空間よりも広い範囲で設定される仮想アドレス空間のアドレス、Vは、その変換情報の有効／無効を示し、SZは、VPNの仮想アドレス空間の範囲(1Kバイト、4Kバイト、64Kバイト、1Mバイト)、PPNは、変換されるべき外部メモリ空間のアドレス、SAは、PCMCIAのメモリ
- 15 属性情報、TCは、PCMCIAのタイミングコントロール情報である。SAおよびTCは、異なるPPNごとに変更した値が設定可能である。アドレス変換バッファを使用しない場合に用いられる内蔵レジスタ(206)への書き込みは、CPU(101)より信号線(128)へPCMCIAの設定データが入力され書き込まれる。
- 20 CPU(101)から命令フェッチ要求を受けると、信号線(120)の命令フェッチアドレスに対応する4個のアドレス変換情報VPNとを比較器(201)により一度に比較し、変換するアドレス空間の範囲をマスク処理し、その変換情報の有効／無効情報Vにより判定する。判定結果により、アドレス変換に失敗した場合は、CPUに例外信号を送る。成功
- 25 したときは、その変換されるべきアドレス変換情報PPNを読み出し、アドレス生成回路(202)により物理アドレスを生成する。キャッシュ

使用時には、その生成された物理アドレスが、キャッシュ未使用時には、信号線（１２０）のアドレスがセクタ（２０３）を通して選ばれる。

これと同時に、PCMCIAのタイミングコントロール制御信号TCとメモリ属性選択信号SAを読み出す。このとき、信号線（１２０）をアドレスデコーダ（２０４）を用いてデコードし、そのデコードされた信号により、アドレス変換バッファを使用する場合と使用しない場合をセクタ（２０５）を用いて選択する。アドレス変換バッファ（２００）を使用しない場合は、PCMCIA制御情報を設定した内蔵レジスタ（２０６）の値を、アドレス変換バッファを使用した場合は、アドレス変換バッファのTCとSAを外部バスコントローラへ出力する。

この実施例によるとPCMCIAをアクセスする情報をアドレス変換バッファに登録しておくことにより、アドレス変換を行う際、変換されたアドレスのページ単位毎にPCMCIAのアクセスを指定した情報を用いることが可能となる。また、アドレス変換を行わない場合でも、内蔵レジスタの既定値を用いることでPCMCIAのアクセスが指定可能となる。

第３図に、データTLB（１０４）の基本構成の例を示す。

本実施例では、VPN、V、SZ、SA、TCのアドレス変換情報を持った６４個のアドレス変換バッファからなるデータTLB（１０４）を用いて説明する。

データTLB（１０４）は、信号線（１２９）からの外部デバイスをアクセスするための仮想アドレスを物理アドレスに変換するアドレス変換バッファ（３００）のおおのにアドレス変換するための情報を有し、そのアドレス変換バッファへの書き込みは、CPU（１０１）から書き込み位置の指定された信号が信号線（１２９）から入力され、またその書き込みデータを信号線（１３６）より、入力され書き込まれる。書き込むアドレス変換情報は、第２図の命令TLB（１０２）のアドレス変換情報

と同じである。

アドレス変換バッファを使用しない場合に用いられる内蔵レジスタ(306)への書き込みは、CPU(101)より信号線(136)へ PCMCIA の設定データが入力され書き込まれる。

- 5 CPU(101)からの外部デバイスへのアクセス要求を受けると、信号線(129)の仮想アドレスに対応する64個のアドレス変換情報VPNとを比較器(301)により一度に比較し、変換するアドレス空間の範囲をマスク処理し、その変換情報の有効／無効情報Vにより判定する。判定結果により、アドレス変換に失敗した場合は、CPUに例外信号を送
- 10 る。成功したときは、その変換されるべきアドレス変換情報PPNを読み出し、アドレス生成回路(302)により物理アドレスを生成する。

キャッシュ使用時には、その生成された物理アドレスが、キャッシュ未使用時には、信号線(129)のアドレスがセクタ(303)を通して選ばれる。

- 15 これらと同時に、PCMCIAのタイミングコントロール制御信号TCとメモリ属性選択信号SAを読み出す。このとき、信号線(129)をアドレスデコーダ(304)を用いてデコードし、そのデコードされた信号により、アドレス変換バッファを使用する場合と使用しない場合をセクタ(305)を用いて選択する。アドレス変換バッファ(300)を使用
- 20 しない場合は、PCMCIA制御情報を設定した内蔵レジスタ(306)の値を、アドレス変換バッファを使用した場合は、アドレス変換バッファ(300)のTCとSAを外部バスコントローラへ出力する。

第4図は、外部バスコントローラ(106)の内部構成の一例を示す図である。図は主としてPCMCIAを制御する機能部のみを示している。

- 25 外部バスコントローラ(106)は、メモリ属性選択信号線(138)からメモリ属性選択信号により、PCMCIAのアクセスするメモリ空間とバ

ス幅を選択する。以下メモリ属性信号（138）により制御するメモリの属性およびバス幅の具体例を説明する。例えば、メモリ属性選択信号（138）が3ビットの情報とすれば、010は、8ビットI/O空間、011は、16ビットI/O空間、100は、8ビット共用メモリ空間、101は、16ビット共用メモリ空間、110は、8ビットメモリ属性空間、111は、16ビットメモリ属性空間などに振り分けられる。

PCMCIA にアドレス、データとその他ライトイネーブルなどの制御信号（402）を出力するタイミングは、信号線（139）のタイミングコントロール信号を用いて、タイミングコントロール制御部（400）によりウェイト幅を決め、PCMCIA アクセスのタイミングをコントロールする。例えば、タイミングをコントロールするには、タイミングコントロール制御回路（400）により、バス幅、メモリ属性判定回路（401）に送られた、ウェイト値をカウンタに設定し、そのカウンタが0になるまで、システムバスへの入出力を行わないようにする方法がある。

第5図は、外部バスコントローラ（106）の内部構成の一例を示す図であり、外部バスコントローラのタイミングコントロール制御用の内蔵レジスタを用いた PCMCIA アクセス機能部を示している。

外部バスコントローラ（106）の内蔵レジスタ1（500）と内蔵レジスタ2（501）を用いて、信号線（139）のタイミングコントロール信号により、どちらかを選択して、処理する。ここでは、内蔵レジスタを2つしか示していないが、信号線（139）のタイミングコントロール信号のビット幅に合わせて、レジスタの数は、特に制限されない。

第6図は、PCMCIA へのアクセスの処理フローを示している。命令 TLB（102）からの PCMCIA アクセス、データ TLB からの PCMCIA アクセスともに共通の動作フローを示している。PCMCIA アクセス要求（600）

に対し、アドレス変換可能かを判定する（601）、アドレス変換情報が登録されていない場合、再登録を行う（602）。再登録には、ソフトウェア上の例外処理ルーチンで行うが、データ処理装置が自動で行ってもよい。アドレス変換可能であった場合は、変換情報を用いて、  
5 物理アドレスに変換され（603）、同時に PCMCIA 制御情報を出力する（604）。外部バスコントローラ（106）により、物理アドレスが、PCMCIA アクセス領域か判定される（605）。PCMCIA アクセス領域でなければ、PCMCIA 以外のメモリアクセスを行う（606）。PCMCIA アクセス領域であれば、PCMCIA の制御情報を用いて、PCMCIA のアクセス方法を  
10 決定する（607）。

第7図は、第1図の PCMCIA インタフェースに具体的なデバイスを接続した形態を示す図面である。ここでは、IC メモリカード（111）を接続した例を示しているが、PCMCIA インタフェースに接続されるデバイスは本実施例に限定されることなく、モデム等の他のデバイスの接続も可能である。  
15

尚、PCMCIA インタフェースの規格について示すと、PCMCIA インタフェースには6つの空間属性が存在する。具体的には、動作中に8ビット/16ビットの切り替えを行う信号を示す IOIS16、モデム等によって使用される8ビットと16ビットの2つの I/O 空間、メモリカード等によって使用される8ビットと16ビットの2つのメモリ空間及び PCMCIA インタフェースに接続されるデバイスの仕様を読み出すためのメモリ属性空間である。上記空間を如何にして動作させるかについてはプログラムによって規定することとなるが、以下にその1実施例を示す。まず、  
20 PCMCIA へアクセスする際、初めに上記のメモリ属性空間へのアクセスを行い、インタフェースには何が接続されているか、接続されているデバイスの仕様はどうか、及び上記 I/O 空間或いはメモリ空間の何れを使用  
25

するか等の情報を読み出す。次に、読みとった情報を基に、指定された空間を使用するに動作を開始する。このように、PCMCIA インタフェースは、それに接続されたデバイスの制御を行うが、その方法についてはプログラムに依存するものである。



## 請 求 の 範 囲

1. 第1のアドレスを出力するCPUと、

前記第1のアドレスを入力して前記第1のアドレスを第2のアドレスへと変換して、前記第2のアドレスを出力するアドレス変換手段と、

5 前記第2のアドレスを入力して前記第2のアドレスを外部デバイスに出力するアドレス出力手段とを有するデータ処理装置において、

前記アドレス変換手段は、前記外部デバイスを制御するための外部デバイス制御情報を前記第1のアドレス或いは前記第2のアドレスの少なくともどちらか一方に対応付けて記憶させており、前記外部デバイス制  
10 御情報を前記アドレス出力手段を介して前記外部デバイスに出力することを特徴とするデータ処理装置。

2. 前記外部デバイスは、PCMCIA インタフェースを有するデバイスであり、前記外部デバイス制御情報は、前記 PCMCIA インタフェースを有するデバイスのアクセスタイミング、メモリ属性或いはバス幅の内の少なくとも1つを規定する情報であることを特徴とする請求の範囲1記載の  
15 データ処理装置。

3. 前記アドレス出力手段は、タイミングコントロール制御回路とバス幅及びメモリ属性判定手段とを有することを特徴とする請求の範囲2記載のデータ処理装置。

20 4. 前記CPUと、前記アドレス変換手段と、前記アドレス出力手段と、前記外部デバイスのうちPCMCIA インタフェースとが同一の半導体基板上に形成されていることを特徴とする請求の範囲2又は3記載のデータ処理装置。

5. 前記アドレス出力手段から出力される前記第2のアドレスは、キャッシュメモリとバスを介して前記アドレス出力手段に入力されることを  
25 特徴とする請求の範囲1乃至4記載のデータ処理装置。

6. 前記第1のアドレスには、アドレス以外の制御情報が含まれていないことを特徴とする請求の範囲1乃至5の何れかに記載のデータ処理装置

7. CPUから出力される第1のアドレスと、

- 5 前記第1のアドレスを第2のアドレスへと変換するアドレス変換手段と、

第1の外部デバイスと第2の外部デバイスとにアドレスを出力するアドレス出力手段とを有するデータ処理システムにおいて、

- 10 前記アドレス出力手段を介して前記第1の外部デバイスに前記第1のアドレスを出力する際は、前記アドレス出力手段は前記アドレス出力手段内に前記第1のアドレスに対応付けて記憶されている第1の外部デバイス制御情報を前記第1のアドレスと共に前記第1の外部デバイスに出力し、

- 15 前記アドレス出力手段を介して前記第2の外部デバイスに前記第2のアドレスを出力する際は、前記アドレス出力手段は前記アドレス変換手段内に前記第1のアドレス或いは前記第2のアドレスに対応付けて記憶されている第2の外部デバイス制御情報を前記第2のアドレスと共に前記第2の外部デバイスに出力することを特徴とする前記データ処理システム。

- 20 8. 前記第2の外部デバイスは、PCMCIAインタフェースを有するデバイスであることを特徴とする請求の範囲7記載のデータ処理システム。

9. 前記第2の外部デバイス制御情報は、前記デバイスのアクセスタイミング、メモリ属性及びバス幅の少なくとも1つを規定する情報を含むことを特徴とする請求の範囲8記載のデータ処理システム。

- 25 10. 前記アドレス変換手段は前記第2のアドレスを出力し、

前記第2のアドレスは、キャッシュメモリとバスとを經由して前記ア

ドレス出力手段へと入力されることを特徴とする請求の範囲 8 又は 9 記載のデータ処理システム。

1 1. 前記第 2 の外部デバイスはメモリ又はモデムを有し、前記メモリ又は前記モデムは前記第 2 の外部デバイス制御情報によって制御される  
5 前記 PCMCIA インタフェースによって制御されることを特徴とする請求の範囲 8 乃至 10 の何れかに記載のデータ処理システム。

1 2. 前記 CPU、前記アドレス変換手段、前記アドレス出力手段及び前記第 2 の外部デバイスの内の PCMCIA インタフェース部分が同一の半導体基板上に形成されていることを特徴とする請求の範囲 8 乃至 11 の何  
10 れかに記載のデータ処理システム。

1 3. PCMCIA インタフェースを有するデバイスにバスを介して接続されたデータ処理装置において、前記データ処理装置内に設けられた TLB に前記デバイスの制御情報を格納したデータ処理装置。

1 4. システムバスを介して接続されるデータ処理装置と PCMCIA インタ  
15 フェースを有するデバイスとを有するデータ処理システムにおいて、

前記データ処理装置は、その内部に設けたアドレス変換バッファに前記デバイスの制御情報を保持し、前記デバイスをアクセスする際にアクセスに必要なアドレスを前記アドレス変換バッファによって変換するとともに、前記アドレス変換バッファに保持された前記制御情報によ  
20 って前記デバイスを制御することを特徴とするデータ処理システム。

1 5. 第 1 のアドレスを出力する CPU と、

前記第 1 のアドレスを入力して前記第 1 のアドレスを第 2 のアドレスへと変換して、前記第 2 のアドレスを出力するアドレス変換手段と、前記第 2 のアドレスを入力して前記第 2 のアドレスを PCMCIA インタ  
25 フェースを有する外部デバイスに出力するアドレス出力手段とを有するデータ処理装置において、

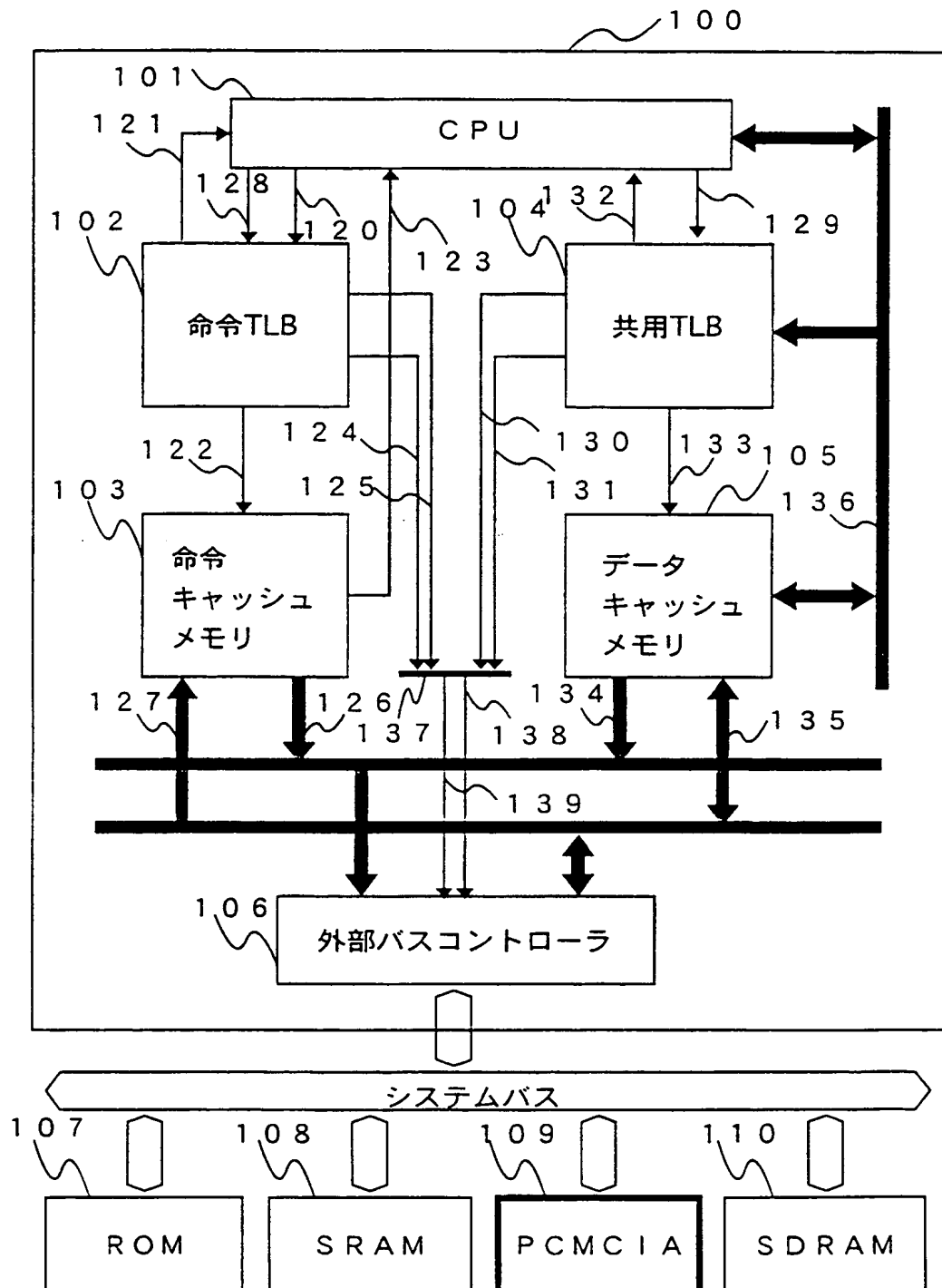
前記アドレス変換手段は、前記外部デバイスを制御するための外部デバイス制御情報を前記第 1 のアドレス或いは前記第 2 のアドレスの少なくともどちらか一方に対応付けて記憶させており、

- 前記第 1 のアドレスが前記アドレス変換手段へ入力された際、前記第 1 のアドレス或いは前記第 1 のアドレスを基に変換された前記第 2 のアドレスに基づき、前記アドレス変換手段は前記外部デバイス制御情報を前記アドレス出力手段へと出力し、

前記アドレス出力手段は、前記外部デバイス制御情報を前記外部デバイスへと出力することを特徴とする前記データ処理装置。

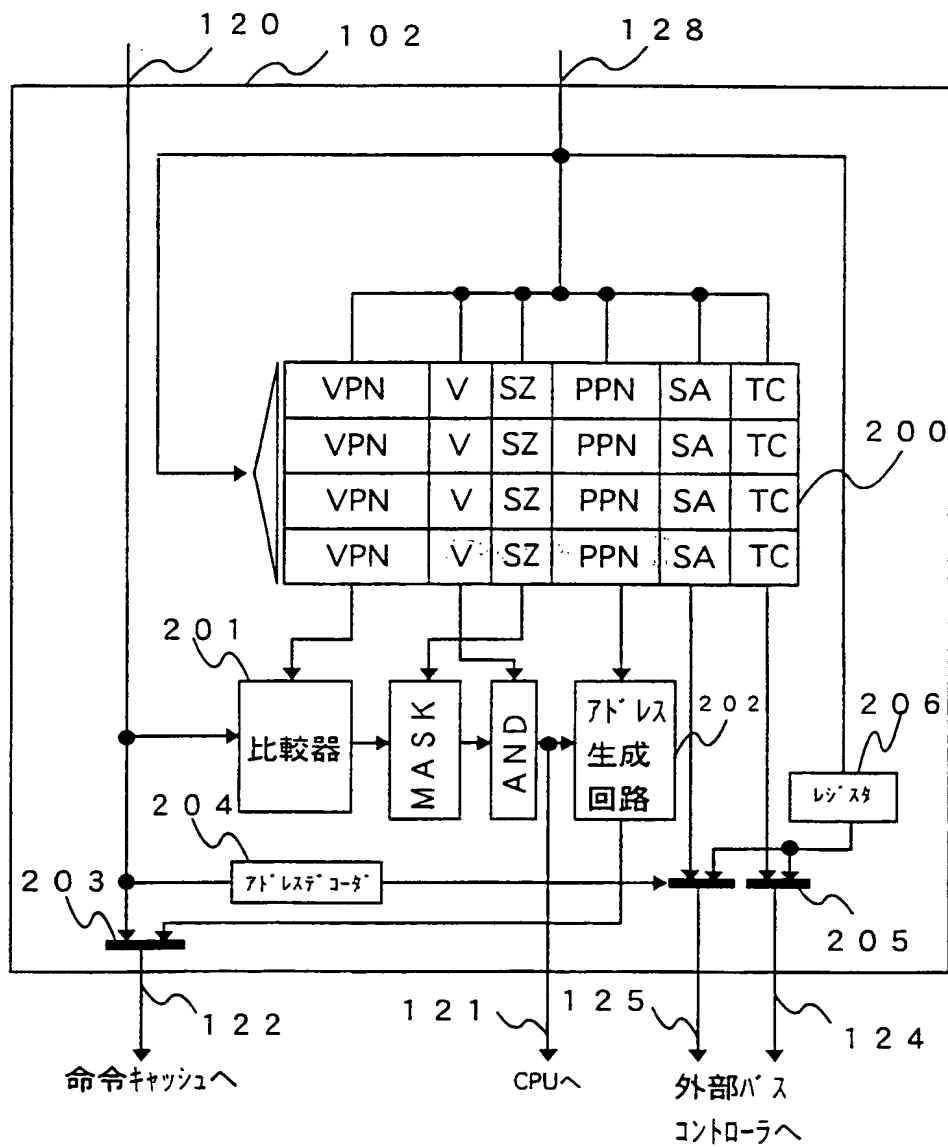
- 10 16. 前記外部デバイス制御情報は、前記 PCMCIA インタフェースを有するデバイスのアクセスタイミング、メモリ属性或いはバス幅の内の少なくとも 1 つを規定する情報であることを特徴とする請求の範囲 15 記載のデータ処理装置。
- 15 17. 前記 CPU と前記外部デバイスのうちの PCMCIA インタフェースとが同一の半導体基板上に形成されていることを特徴とする請求の範囲 15 又は 16 記載のデータ処理装置。

第1図



**THIS PAGE BLANK (USPTO)**

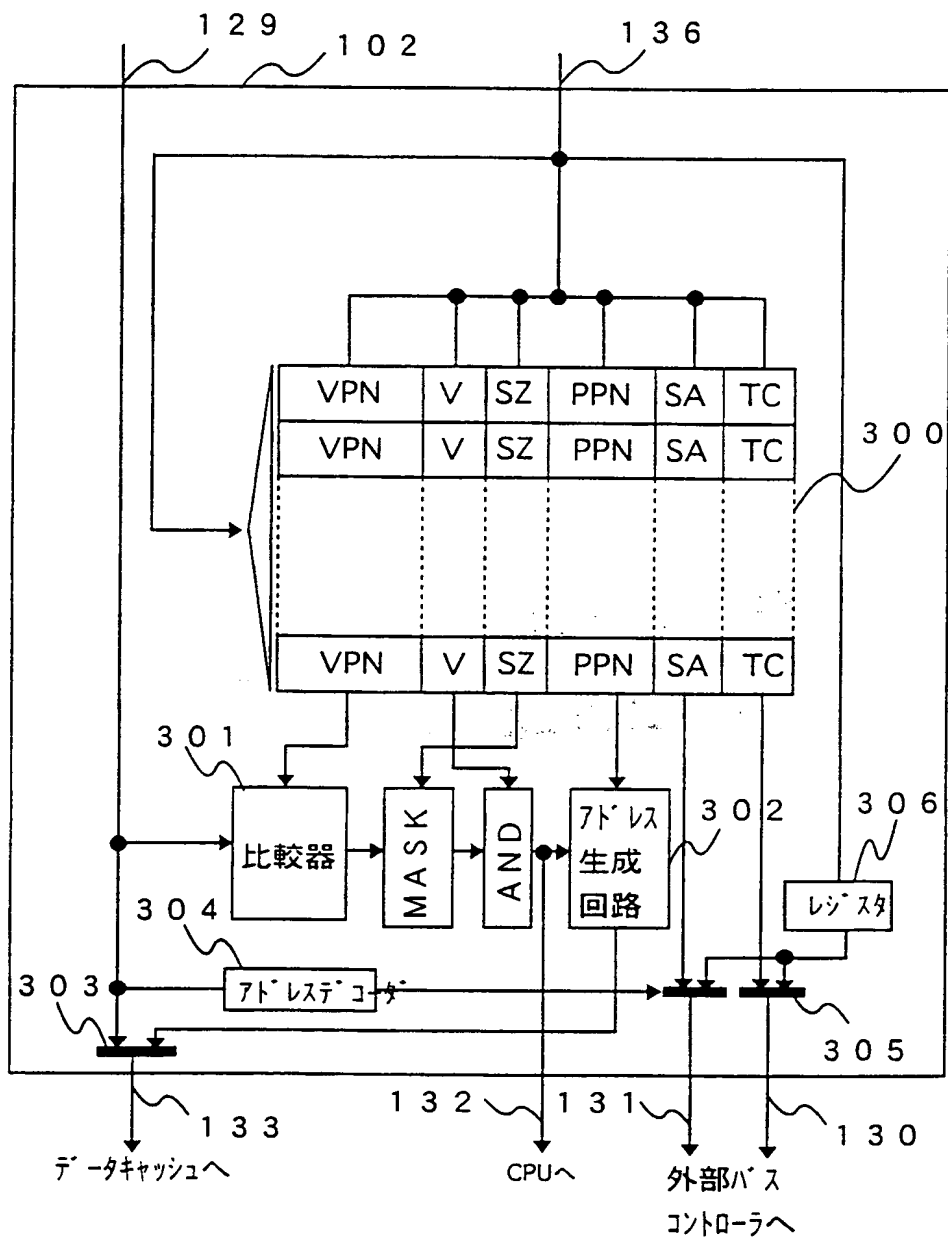
第2図



**THIS PAGE BLANK (USPTO)**

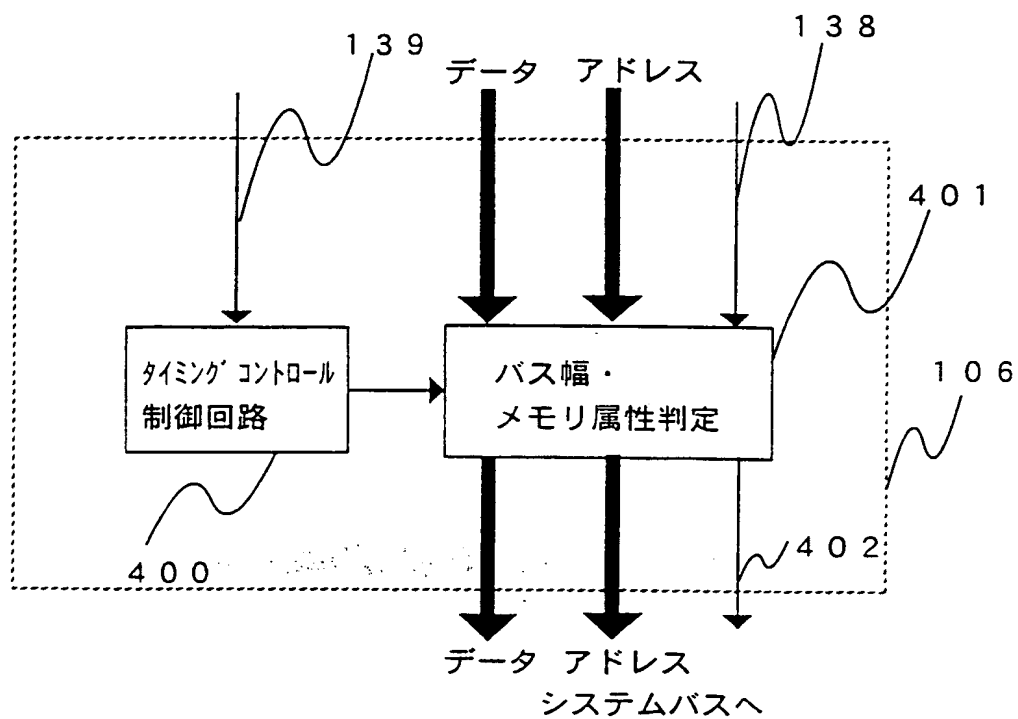


第3図



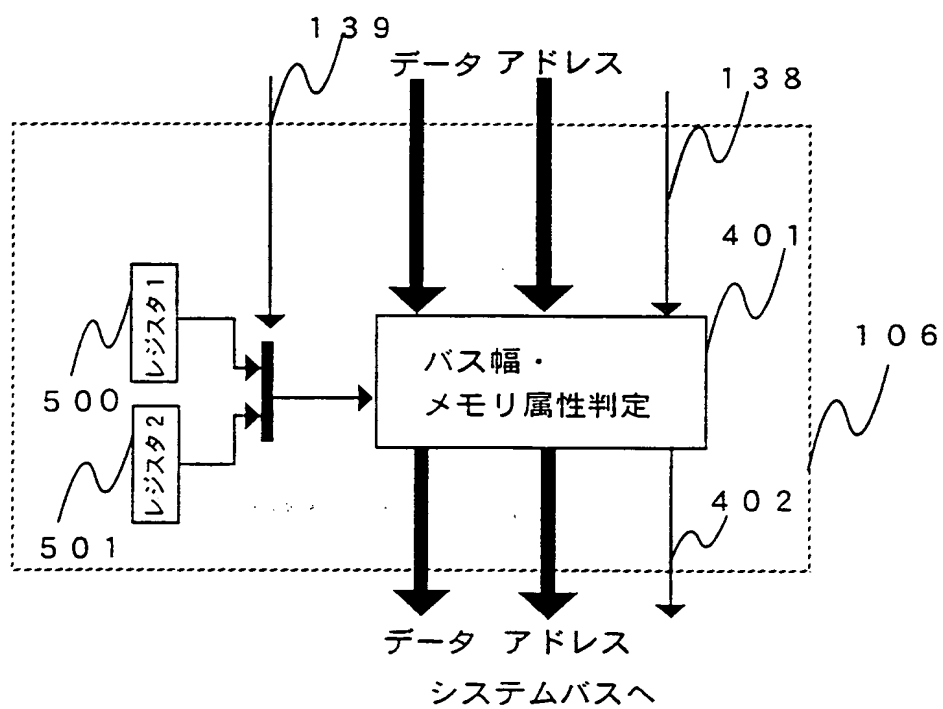
**THIS PAGE BLANK (U&PT0)**

第4図



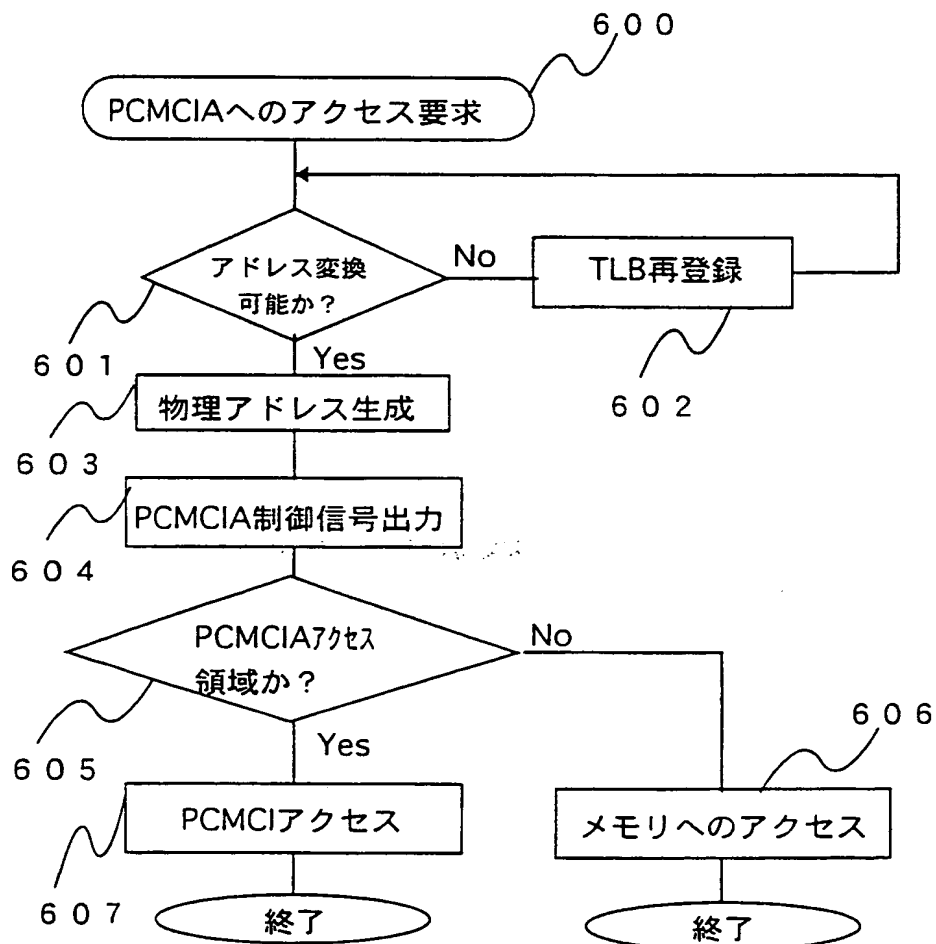
**THIS PAGE BLANK (USPTO)**

第 5 図



**THIS PAGE BLANK (USPTO)**

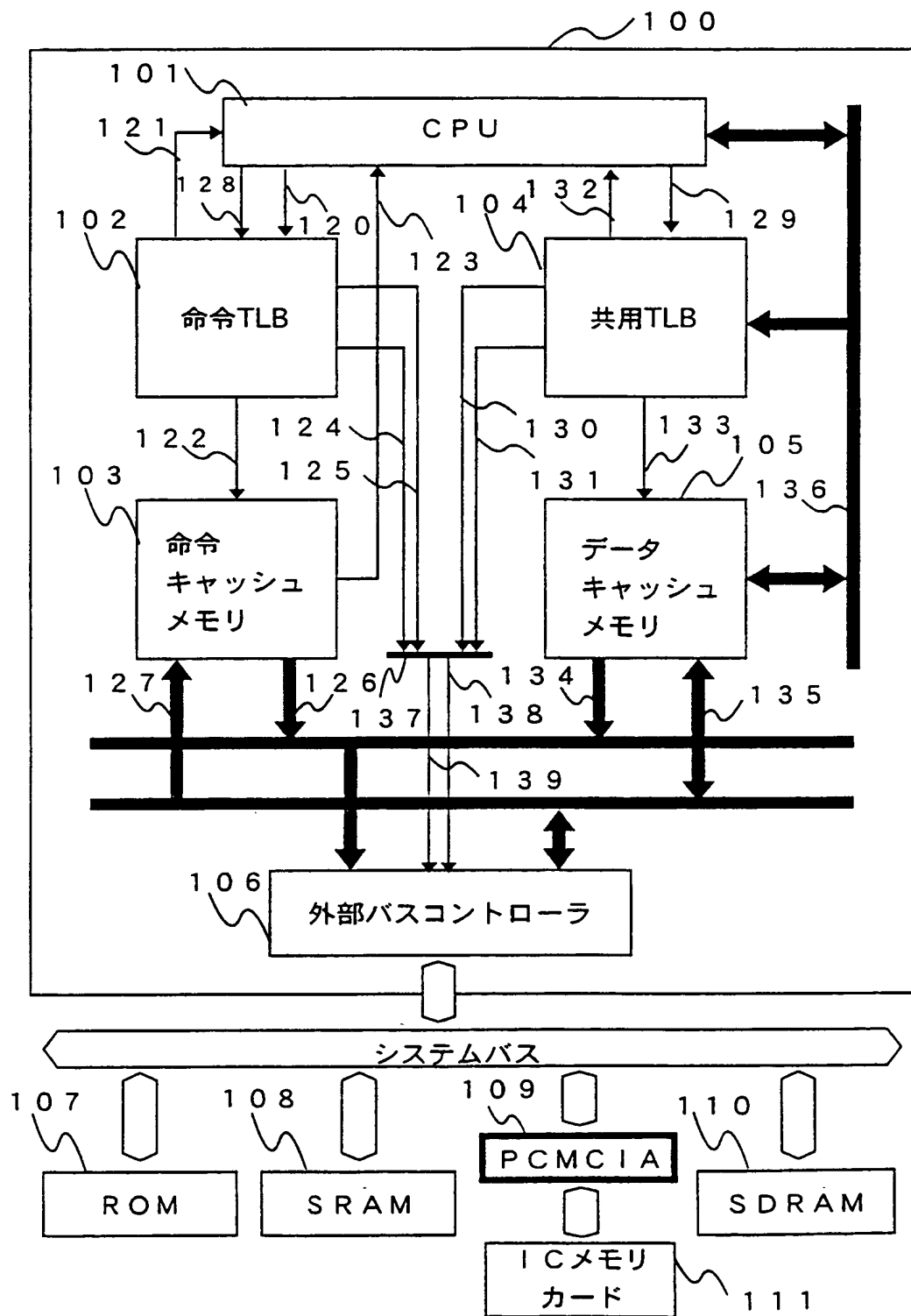
第6図



**THIS PAGE BLANK (USPTO)**



第7図



**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05002

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> G06F12/10, G06K17/00, G06F12/06, G06F13/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> G06F12/10, G06K17/00, G06F12/06, G06F3/08, G06F13/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 61-253559, A (NEC Corp.), 11 November, 1986 (11. 11. 86) (Family: none)	1, 5, 6
Y		2-4, 13-17
A		7-12
X	JP, 5-67000, A (NEC IC Miconsystem K.K.), 19 March, 1993 (19. 03. 93) (Family: none)	1, 5, 6
Y		2-4, 13-17
A		7-12
Y	JP, 8-95943, A (Hitachi,Ltd.), 12 April, 1996 (12. 04. 96) (Family: none)	2-4, 13-17
A		1, 5-12
A	JP, 5-20197, A (Hitachi,Ltd.), 29 January, 1993 (29. 01. 93) & US, 5440708, A	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
19 January, 1999 (19. 01. 99)

Date of mailing of the international search report  
2 February, 1999 (02. 02. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (UPTO)**

## 国際調査報告

国際出願番号 PCT/J P 98/05002

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> G 06 F 12/10 G 06 K 17/00  
 G 06 F 12/06  
 G 06 F 13/14

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> G 06 F 12/10 G 06 K 17/00  
 G 06 F 12/06 G 06 F 3/08  
 G 06 F 13/14

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922年-1996年  
 日本国公開実用新案公報 1971年-1999年  
 日本国登録実用新案公報 1994年-1999年  
 日本国実用新案登録公報 1996年-1999年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 61-253559, A (日本電気株式会社), 11. 11 月. 1986 (11. 11. 86) (ファミリーなし)	1, 5, 6
Y		2-4, 13-17
A		7-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

19. 01. 99

国際調査報告の発送日

02.02.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

金田 利規

5 B

9643

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 5-67000, A (日本電気アイシーマイコンシステム株式会社), 19. 3月. 1993 (19. 03. 93) (ファミリーなし)	1, 5, 6
Y		2-4, 13-17
A		7-12
Y	J P, 8-95943, A (株式会社日立製作所), 12. 4月. 1996 (12. 04. 96) (ファミリーなし)	2-4, 13-17
A		1, 5-12
A	J P, 5-20197, A (株式会社日立製作所), 29. 1月. 1993 (29. 01. 93) & US, 5440708, A	1-17